

## 量子効果デバイス 第9回

前澤宏一

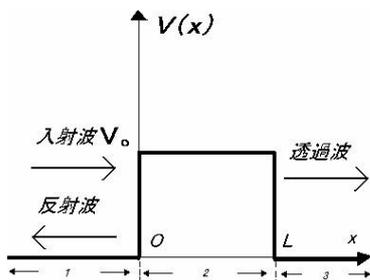
### トンネル効果とフラッシュメモリ

#### デバイスサイズの縮小とトンネル効果

Si-CMOSはサイズの縮小を続けることによってその性能を伸ばしてきた。チャネル長さ、ゲート絶縁膜の厚さ、ソース・ドレイン領域の深さ、電源電圧をあるルール(これをスケーリング則という)に従って縮小することで、高速化、低消費電力化が可能となる。集積回路の誕生以来、スケーリング側にしたがって縮小されてきたデバイスサイズは、すでに量子力学的効果が発現するほど小さくなってきている。量子力学的効果には、トンネル現象や、エネルギーの離散化、電子波の干渉など様々なものがあるが、ここでは最も重要なトンネル現象を中心に最先端デバイスと量子効果のかかわりについて学んでいく。

#### トンネル効果の復習

図に示すような単純な単一障壁構造を考える。この構造では、伝導体のエネルギーの高い材料(障壁層)が、伝導体のエネルギーの低い材料によってはさまれている。ここで、左から障壁高さより低いあるエネルギー  $E < V$  を持った電子が右方向に入射することを考える。

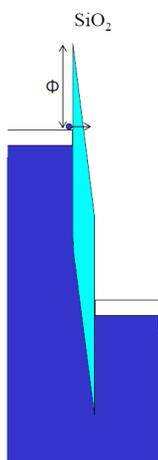


古典力学的には左から来た電子は、障壁層に進入することはできず、全反射する。しかし、量子力学的には、電子は障壁層内に進入し、指数関数的に減少する成分を持つことになる。十分障壁層が薄ければ、バリアの反対側、領域 3 に面する界面でも、電子は無視できない存在確率を持つ。この成分は領域 3 に平面波を作り出す。つまり、領域 3 に透過する電子が存在することになる。これがトンネル現象である。トンネル確率は障壁層の幅に指数関数的に依存している。つまり、MOSFET の障壁層である  $\text{SiO}_2$  膜の厚さが減少することにより、トンネル電流は指数関数的に増加することになる。

#### Fowler-Nordheim Tunneling

次に実際の MOSFET におけるトンネル現象について考えよう。MOSFET のチャネル内電子濃度はゲート電圧によって制御される。実際のトンネル電流が問題となるのはゲート電圧が印加された状態である。下図に n チャネル MOSFET に、ある程度高いゲート電圧が印加された場合のエネル

ギーバンド図を示す。このとき、障壁層にも電界がかかっているため、障壁の形状は先ほどの単純な場合と異なる。このような傾斜した障壁層に対するトンネル現象をファウラー-ノルトハイムトンネル(Fowler-Nordheim Tunneling)と呼ぶ。



障壁層が比較的緩やかに変化している場合、障壁層内の波動関数は WKB (Wentzel-Kramers-Brillouin)近似を用いて、以下のように書ける。

$$\varphi(x) = \varphi(0) \exp\left(-\int_0^x \frac{\sqrt{2m^*(U(x')-E)}}{\hbar} dx'\right)$$

ここで、 $U(x)$ は障壁層のポテンシャルエネルギーである。このとき、障壁層内では、上式の指数関数の引数が(負)実数となり、減衰する関数となっている。透過確率は障壁層に入射する電子の存在確率と、透過した電子の存在確率の比なので、エネルギーの関数として

$$TC(E) = \left| \frac{\varphi(l)}{\varphi(0)} \right|^2 = \exp\left(-2 \int_{x=0}^l \frac{\sqrt{2m^*(U(x')-E)}}{\hbar} dx'\right)$$

となる。ここで、 $l$ は電子がトンネルする厚さである。

ここで考えている  $\text{SiO}_2$  絶縁膜のトンネルにおいては、膜中の電界が一定と考えられるので、それを  $F$  とすると障壁のエネルギー  $U(x)$  は

$$U(x) = E + qF(l-x)$$

と、図に示すような三角形形状となる。ここで、 $l$ は左端の障壁高さ  $q\phi_B$  を用いて

$$l = \frac{\phi_B - E/q}{F}$$

と、表せる。これらより、電界のかかった絶縁膜のトンネル確率は

$$\begin{aligned}
TC(E) &= \left| \frac{\varphi(l)}{\varphi(0)} \right|^2 \\
&= \exp \left( -2 \frac{\sqrt{2m^* qF}}{\hbar} \int_{x'=0}^l \sqrt{l-x'} dx' \right) \\
&= \exp \left( -4 \frac{\sqrt{2m^* qFl^3}}{3\hbar} \right) \\
&= \exp \left( -\frac{4\sqrt{2m^* q(\phi_B - E/q)^3}}{3\hbar F} \right)
\end{aligned}$$

となる。

ショットキー障壁の場合と同様に、トンネル確率と電子のエネルギー分布の積を取り、エネルギーで積分するとトンネル電流密度が以下のように求められる。

$$J = AF^2 \exp \left( -\frac{4\sqrt{2m^* q\phi_B^3}}{3\hbar F} \right)$$

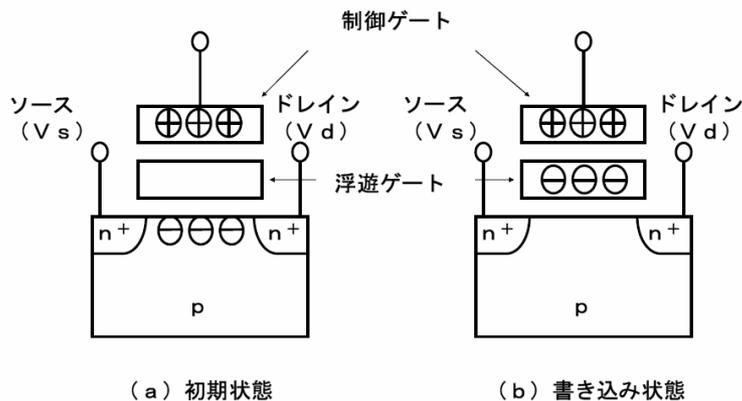
ここで、 $A$ は定数、 $q\phi_B$ はゲートから見た障壁の高さである。重要な点は電流密度の電界  $F$  に対する依存性である。指数関数の中身は負であり、電界の逆数に比例している。このため、電界に対して正の依存性を持っている。また、係数には  $F^2$  があり、両者を含めて、電流密度は電界に対して強い正の依存性を持つことになる。

FNトンネル電流は、実験的にはFNプロットと呼ばれるグラフで検証される。FNプロットは、縦軸に  $\log(I/F^2)$  を横軸に  $1/F$  をとったグラフである。上式から分かるように、このとき、FNトンネル電流は直線的な変化をすることになる。

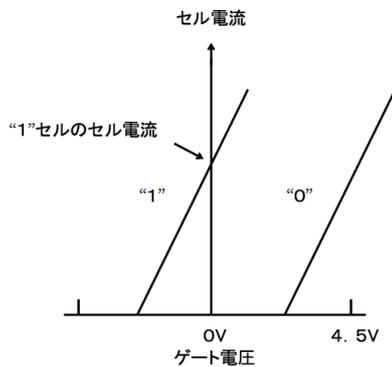
### トンネル現象の応用 --フラッシュメモリー

FNトンネル現象は、MOSFETのゲートリーク電流の原因となることから、通常は出来るだけ小さい方が良い。しかし、逆に、この現象を活用したデバイスがフラッシュメモリーである。フラッシュメモリーには、大きく分けて、NAND型、NOR型と呼ばれる二つのタイプがあるが、ここでは、データの書き込み、消去、ともにFNトンネル現象を用いるNAND型について説明する。NAND型のフラッシュメモリーは、大容量化が容易であり、デジカメや、PCの外部メモリーとして多く用いられている。

下図にフラッシュメモリーの構造とデータ記憶のメカニズムを示す。フラッシュメモリーはゲートとSi基板の間に浮遊ゲートを設けた二重ゲート構造からなるMOSトランジスタである。浮遊ゲートはゲート電極とも、チャネルとも絶縁膜(SiO<sub>2</sub>)により、絶縁されており、ここは、電子を保持しておく容器の役割をする。浮遊ゲートに蓄えられた電子は、非常に長時間、実質的に無限大の時間、そこにとどまることになる。なお、ゲートと浮遊ゲート間の絶縁膜に比較して、浮遊ゲートとチャネル間の絶縁膜厚が薄くなっている。

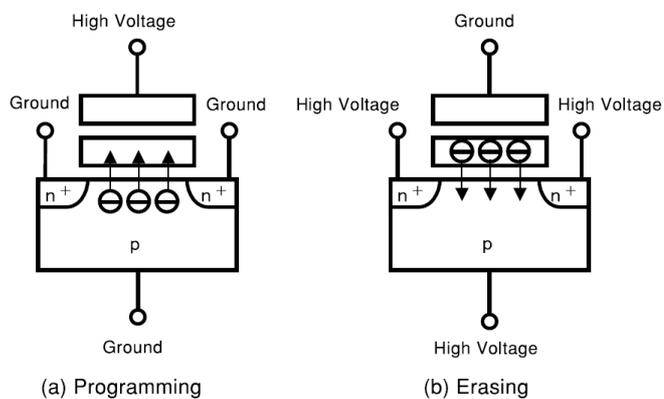


図(a)は浮遊ゲートが空の場合、(b)は浮遊ゲートに電子が存在する場合を示している。このように、浮遊ゲートに電子が存在しない場合と、存在する場合では MOSFET のしきい値が変化する。次の図は、浮遊ゲートに電子が存在しない場合(a)と、存在する場合(b)のドレイン電流-ゲート電圧特性を示している。MOSFET のしきい値は、浮遊ゲート中の電子の有無によって変化する。浮遊ゲート中に電子が存在すると、その負電荷により、バンドが持ち上げられ、チャネルに電子がたまりにくくなる。そのため、しきい値は正側にシフトする。つまり、同じゲート電圧をかけても、浮遊ゲートに蓄えられた電子の量によって、MOSFETのドレイン電流は異なることになる。これを論理”0”と”1”に対応させることにより、データを記憶、読み出しできることになる。



NAND 型フラッシュメモリーの書き込み/消去方法は以下のとおりである。まず、次図(a)に示すように、ソース、ドレイン、及び、基板電位を 0V にして、ゲートに正の電圧を印加する。このとき、MOSFET と同様に反転層が形成され、チャネルに電子が蓄積される。ゲート電圧がさらに高くなると、チャネルから浮遊ゲートへの FN トンネルが生じるようになり、浮遊ゲートに電子が蓄積されていく。この後、ゲート電圧を 0V に戻せば、浮遊ゲートに注入された電子はそのまま保持されることになる。これが、書き込み過程である。一方、消去過程では、逆に、ソース、ドレイン、及び基板電位に高い正の電圧を印加し、ゲートを 0V とする。このとき、先ほどとは逆に浮遊ゲートからチャネルへの FN トンネルが生じ、浮遊ゲートから電子を抜き出せる。これらの過程において、先に述べたように、ゲート・浮遊ゲート間の絶縁膜厚より、浮遊ゲート・チャネル間の絶縁膜厚が薄くなっているため、FN トンネルが浮遊ゲート・チャネル間でのみ起こることがポイントである。もう一つ重要な点は

前節で述べたように、FN トンネルが電界、つまり、ゲート電圧に非常に強く依存していることである。これにより、上記の過程以外(読み出しや待機時)にはほとんど FN トンネル電流は流れず、不揮発性のメモリー動作が行われる。



#### 問題

NAND 型フラッシュメモリの書き込み時、消去時における、ゲート直下のバンド図を書け。また、浮遊ゲートに電子が蓄積されているときと、いないときのゲート直下のバンド構造図を書け。