

共鳴トンネルカオスデバイスを用いた 超高周波信号生成・処理技術の研究

(研究課題番号 12650344)

平成 12 年度～平成 13 年度科学研究費補助金

(基盤研究 (C) (2)) 研究成果報告書

平成 14 年 3 月

研究代表者 前澤宏一
(名古屋大学工学部助教授)

目次

1	はしがき	1
2	研究発表	2
2.1	学術論文・国際会議	2
2.2	国内学会等	2
3	研究成果	4
3.1	はじめに	4
3.2	カオス	4
3.3	共鳴トンネル素子を用いたカオス生成器	6
3.3.1	強制振動 van der Pol型カオス生成器	6
3.3.2	シフトマップ写像型カオス生成器	8
3.4	強制振動 van der Pol型カオス生成器とその超高速動作	9
3.4.1	数値シミュレーション	9
3.4.2	個別素子による動作実証	12
3.4.3	MMIC 試作と高周波測定結果（第1回試作）	12
3.4.4	MMIC 試作と高周波測定結果（第2回試作）	20
3.5	シフトマップ型カオス生成器の検討	22
4	まとめと今後の課題	28
	参考文献	29
	発表論文抄録	31

1 はしがき

量子効果素子の研究ではその特異な電流－電圧特性をどう利用するかが重要であり、素子だけではなく、素子とその利用技術に関連させて研究を進める必要がある。本研究では、量子効果素子の一種である共鳴トンネル素子の強い非線形性を利用し、超高周波でかつ制御可能なカオス生成器を実現するとともに、それを用いた新しい信号生成・処理技術の確立を目指した。この報告書は平成 12 年度科学研究費補助金 (基盤研究 (C) (2)) に基づいて行われた 2 年間の研究成果をまとめたものである。なお、本研究は以下の研究組織により行われた。

研究組織

研究代表者 前澤宏一 (名古屋大学工学部助教授)

研究分担者 水谷孝 (名古屋大学工学研究科教授)

交付決定額 (配分額)

(金額単位：千円)

	直接経費	間接経費	合計
平成 12 年度	2,800	0	2,800
平成 13 年度	700	0	700
総計	3,500	0	3,500

2 研究発表

2.1 学術論文・国際会議

1. Y. Kawano, Y. Ohno, S. Kishimoto, K. Maezawa and T. Mizutani, "Robust Operation of a Novel Frequency Divider Using Resonant Tunneling Chaos Circuit," Jpn. J. Appl. Phys., vol. 39, pp. 3334-3338 (2000).
2. Y. Kawano, Y. Ohno, S. Kishimoto, K. Maezawa and T. Mizutani, "High-Speed Operation of a Novel Frequency Divider Using Resonant Tunneling Chaos Circuit," 2001 Int. Conf. InP and Related Materials, pp. 236-239, Nara, Japan (2001).
3. K. Maezawa, Y. Kawano, Y. Ohno, S. Kishimoto and T. Mizutani, "Chaos Generator MMIC's using Resonant Tunneling Diodes," 59th Device Research Conference, pp. 55-56, Notre Dome, USA (2001).
4. Y. Kawano, Y. Ohno, S. Kishimoto, K. Maezawa and T. Mizutani, "50 GHz Frequency Divider Using Resonant Tunneling Chaos Circuit," 28th Int. Symp. on Compound Semiconductors, late news, Tokyo, Japan (2001).
5. Y. Kawano, Y. Ohno, S. Kishimoto, K. Maezawa and T. Mizutani, "High-Speed Operation of a Novel Frequency Divider Using Resonant Tunneling Chaos Circuit," Jpn. J. Appl. Phys., vol. 41, in printing (2002).
6. Y. Kawano, Y. Ohno, S. Kishimoto, K. Maezawa and T. Mizutani, "50 GHz Frequency Divider Using Resonant Tunneling Chaos Circuit," submitted to Electron Lett. (2002).

2.2 国内学会等

1. 上村朋典、岸本茂、前澤宏一、水谷孝「負性微分抵抗素子を用いたカオス集積回路」電子情報通信学会ソサイエティ大会 2000年10月
2. 前澤宏一、水谷孝「共鳴トンネル素子を用いた超高速集積回路」(招待講演)電子情報通信学会ソサイエティ大会 2000年10月
3. 川野陽一、岸本茂、前澤宏一、水谷孝「共鳴トンネル素子を用いたカオス生成回路とその分周器への応用」電子情報通信学会研究会 札幌 2001年1月
4. 川野陽一、大野雄高、岸本茂、前澤宏一、水谷孝「共鳴トンネルカオス回路を利用した分周器の高速動作」電子情報通信学会総合大会 2001年3月

5. 水谷孝、前澤宏一「共鳴トンネル素子を用いた超高速機能集積回路」(招待講演) 第 62 回応用物理学会学術講演会 2001 年 9 月
6. 川野陽一、大野雄高、岸本茂、前澤宏一、水谷孝「共鳴トンネルカオス回路用いた 50GHz 分周器」電子情報通信学会総合大会 2002 年 3 月 発表予定

3 研究成果

3.1 はじめに

量子効果素子の研究ではその特異な電流－電圧特性をどう利用するかが重要である。本研究の特色は素子だけではなく、素子とその利用技術に関連させて研究を進める点にある。具体的には、共鳴トンネル素子の強い非線形性を利用して超高周波かつ制御可能なカオス生成デバイスを実現し、これを用いた新しい信号処理技術を構築することがを目的である。カオスは通常、ランダムで予測不可能な現象と認識されているが、決定論的な現象であり、時間を限れば制御可能である。つまり、カオスは従来まで単なるノイズとして捨てられていた現象を制御するための基盤と成りうる。このとき、カオスはあらゆる信号を含む信号源、信号処理回路としてのポテンシャルを持つことになる。特に、共鳴トンネル素子を用いれば従来不可能だった超高周波領域での信号生成・処理が可能となり、通信や計測分野への応用が期待できる。これは、カオスを用いた新しい情報処理アーキテクチャーに基づく超高速集積回路への道を開くものである。

3.2 カオス

ここで簡単にカオス現象とその応用可能性について概観する [1, 2]。カオスは決定論的でありながら、ランダムに見える現象であり、その大きな特徴として鋭敏な初期条件依存性がある。より正確に言えばカオス系では、初期条件のわずかな違いが時間と共に指数関数的に増大することになる。したがって、系の時間発展は初期条件のわずかな違いによって大きく違ってくる。このため、微分方程式（あるいは差分方程式）に従う決定論的な系であるにも関わらず、現実的にはカオス系の将来を予測することは不可能である。特に、こういった複雑な振る舞いが非常に簡単な系で生じ得るという発見は現代の物理学にも大きなインパクトを与えた。

例えば、次に示すような 1 次元差分方程式はカオスを生じる最も簡単な系である。

$$x_{n+1} = ax_n(1 - x_n) \quad (1)$$

これは区間 $I = [0, 1]$ から I への写像であり、ロジスティック写像と呼ばれる。ロジスティック写像は任意の初期値 x_0 に対し、 x_n の $n \rightarrow \infty$ の挙動はパラメータ a によって大きく異なる。つまり、

1. $0 \leq a \leq 1$ のとき、安定な 1 周期点 $x_{1,0} = 0$ へ単調減少
2. $1 \leq a \leq 3$ のとき、安定な 1 周期点 $x_{1,1} = 1 - 1/a$ に収束
3. $3 < a \leq 1 + \sqrt{6}$ のとき、安定な 2 周期点 $x_{2,i} (i = 1, 2)$ に収束
4. $a_n < a \leq a_{n+1}$ のとき、安定な 2^n 周期点 $x_{2^n,i} = 0 (i = 1, 2^n)$ に収束

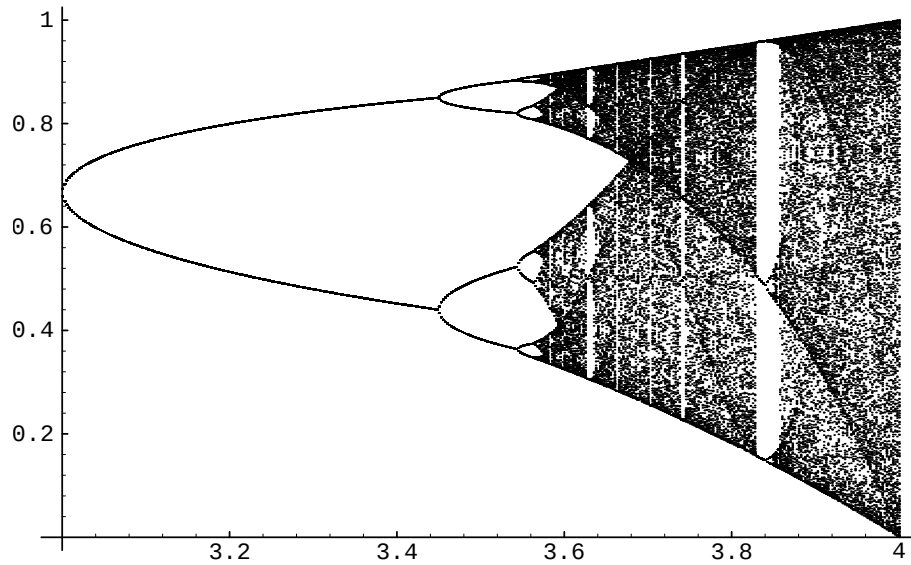


図 1: ロジスティック写像の分岐図

ここで、 a_n は分岐点で n が十分大きいとき、

$$(a_n - a_{n-1}) / (a_{n+1} - a_n) \sim \delta, \delta = 4.6692... \quad (2)$$

を満たす。この分岐点において安定な 2^{n-1} 周期点が一斉に不安定化し、 2^n の周期点が生まれる。これは周期倍分岐 (period doubling bifurcation) とよばれ、あるパラメータに従って系の周期が変化していく分岐現象の一例である。後に述べるように我々はこの現象を分周器に応用した。図 1 は分岐図と呼ばれ、パラメータ変化に対する系の振る舞いを調べるのによく使われる。

この図はあるパラメータを横軸（ここでは a ）に、そのときの系の出力（ここでは x_n ）を縦軸にプロットする事により得られる。（ただし、初期条件に依存した過渡応答の部分を除くため、最初のいくつかの出力は除く。）このため、線が一本の部分は周期 1 であり、線の数が多い部分は系の振る舞いの周期を表す。ここで、 $a = 3.57...$ より大きいところではグラフは塗りつぶされたようになっているが、この部分がカオス領域である。このように、カオス系といってもすべてのパラメータでカオスの振る舞いが生じるわけではなく、パラメータによって様々な振る舞いをする。

さて、ここで述べたような複雑な振る舞いと予測不可能性がカオス系の特徴であり、これを利用した様々な応用が提案されている。例えば、カオスの連想記憶、最適化問題、学習などのニューロコンピューティングへの応用、カオスの同期現象とその位相同期回路への応用などがある。また、もっと具体的な例では株価予測や、天気予報、味覚センサ等への応用が研究されている。これらの多くは問題解決のための解法アルゴリズムの一部にカオスを用いるもので、ソフトウェア的な研究である。しかし、一部にはリアルタイム処理を目指したカオス情報処理システムのハードウェア化を目指す研究も始まっている。例えば、カオス同期現象

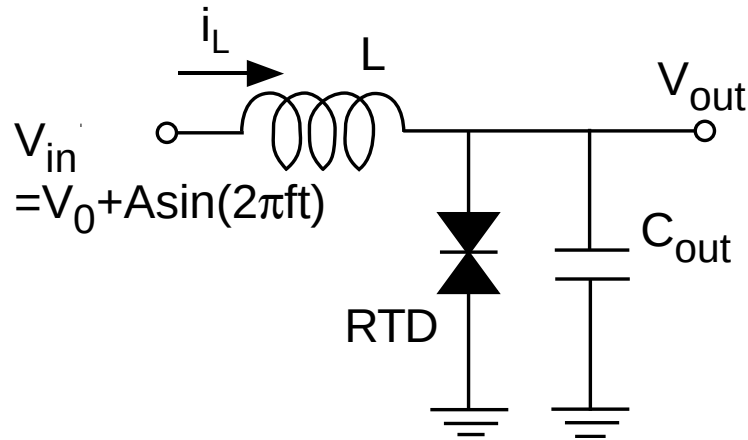


図 2: 共鳴トンネル素子を用いた強制振動 van der Pol 型カオス生成回路

を利用し、カオス信号を搬送波として用いたカオス通信技術や高速な乱数発生回路などには超高周波のカオス生成器が求められている。

3.3 共鳴トンネル素子を用いたカオス生成器

共鳴トンネル素子は室温で動作する現在唯一の量子効果素子であり、様々な特徴を持っている。その第一は高速性である。すでに THz 領域における応答 [3] や 700 GHz の発振 [4] が報告されている。また、その電流-電圧特性が負性抵抗を示すことが重要な特徴である。負性抵抗のような強い非線形性はカオスを生成するための基盤となりうる。本研究で我々は共鳴トンネル素子の非線形性を活かしたカオス生成法として2つの異なる方法を考えた。一つは共鳴トンネル素子の負性抵抗特性を用いた強制振動 van der Pol 発振器によるカオス生成器であり、もう一つは共鳴トンネル素子の $I-V$ 特性自身を利用したシフトマップ写像によるカオス生成器である。前者は2次元の微分方程式系に現れるカオスであり、後者は1次元の差分方程式系に現れるカオスである。以下、この両者のカオス生成機構について説明する。

3.3.1 強制振動 van der Pol 型カオス生成器

負性抵抗素子を用いたカオス生成回路としては Chua の回路 [5] が有名であるが、この回路も Chua の回路の変形と言える。図 2 に回路図を示す。

この回路は共鳴トンネルダイオード (RTD)、インダクタ、キャパシタからなる非常に簡単な回路であり、負性抵抗素子を利用した発振器である van der Pol 発振器に入力端子を設けたものになっている。この入力端子に正弦波などの振動電圧を加えることによりカオスを含む様々な信号を生成することができる。例として、

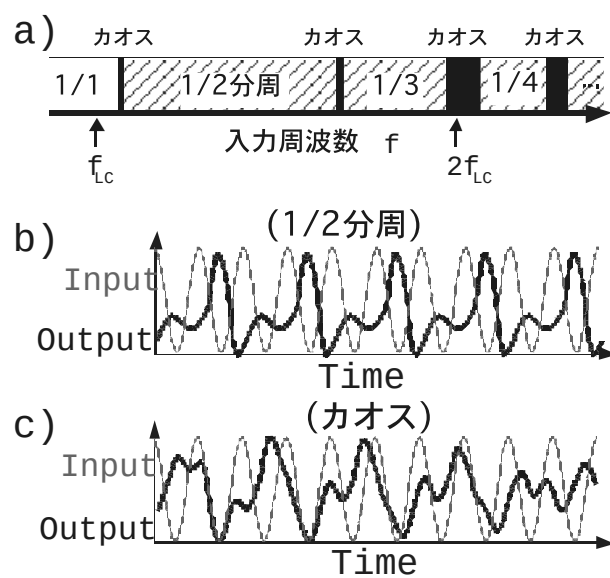


図 3: 周波数変化に伴う出力パターンの変化

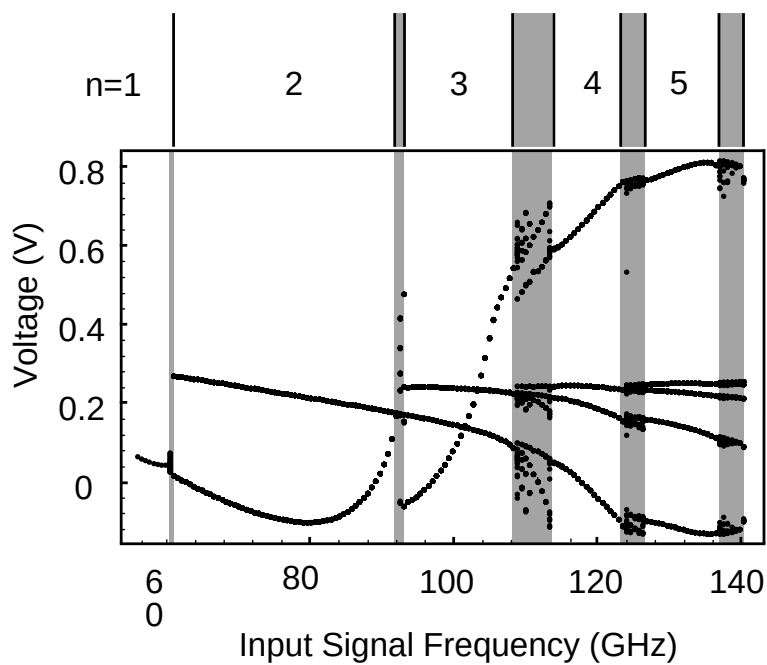


図 4: 分岐図 (Bifurcation Diagram)

図3に入力信号の周波数を変化させた時の応答パターン変化の概略を示す。 f_{LC} はLC特性周波数 $1/2\pi\sqrt{LC}$ である。図中の斜線領域では図3(b)の様な分周信号を出力し、黒く塗りつぶされた領域では図3(c)の様なカオス信号を出力する。図4はこの系の分岐図である。先ほどの差分方程式の例と異なり、この系は連続であるが、入力信号の固定した位相における出力をサンプリングすることで系を差分化し、分岐図を作ることができる。図から分かるように、このときの周波数に対する出力パターンの変化はカオスを挟んで周期が1ずつ増加していく。これは周期加算分岐 (period adding bifurcation) と呼ばれる。この様に、本回路では外部入力パラメータ (f, V_0, A) をコントロールすることでその動作モードを制御でき、また、その動作周波数レンジは L, C の値によって決定できる。したがって、共鳴トンネルダイオードの遮断周波数に迫る高周波動作が可能と考えられる。

3.3.2 シフトマップ写像型カオス生成器

前節は微分方程式に基づく連続的なカオス生成器であった。もう一つのカオス生成器として差分方程式に基づく写像型のカオス生成回路を検討した。先に述べたように、最も簡単なカオス系としてロジスティックマップがある。この系は写像 $x_{n+1} = ax_n(1 - x_n)$ を繰り返すというものであった。この関数 $ax_n(1 - x_n)$ は $x = 0.5$ でピークをとる放物線であるが、カオス生成は放物線に限らない。例えばテント写像

$$x_{n+1} = \begin{cases} ax_n & (x \leq 0.5 \text{ のとき}) \\ a(1 - x_n) & (\text{それ以外のとき}) \end{cases} \quad (3)$$

やシフトマップ写像

$$x_{n+1} = \begin{cases} ax_n & (x \leq 0.5 \text{ のとき}) \\ a(x_n - 0.5) & (\text{それ以外のとき}) \end{cases} \quad (4)$$

もカオスを生成する写像である。これらの写像においてカオスが生成されるのはパイコネ変換と呼ばれる特徴的な変換が含まれているためである。パイコネ変換は引き延ばしと折り畳みの二つの手続きを含む変換でカオス系に特徴的な写像である。例えば、テント写像では区間 $I = [0, 1]$ は a 倍に引き延ばされ、次に $x = 0.5$ で折り返される。このような写像を繰り返すことにより、区間 $I = [0, 1]$ は細切れにされ、混ぜ合わされることになる。これがパイコネ変換によるカオス生成の原理である。したがって、写像関数としては細かい形によらずピークを持つ形状があればよい。さて、シフトマップ写像をよく見るとこの形状は共鳴トンネルダイオードの $I-V$ 特性に非常に類似していることに気づく。従って、RTDをうまく利用すれば簡単な回路でテント写像系を実現することができる。ただし、RTDは2端子素子であるため、入出力分離のために工夫が必要である。本研究では、図5に示す回路を提案し、この挙動について調べた。この回路は共鳴トンネル素子がソース部分に挿入されたFETをシフトマップ写像回路として用い、それをサンプ

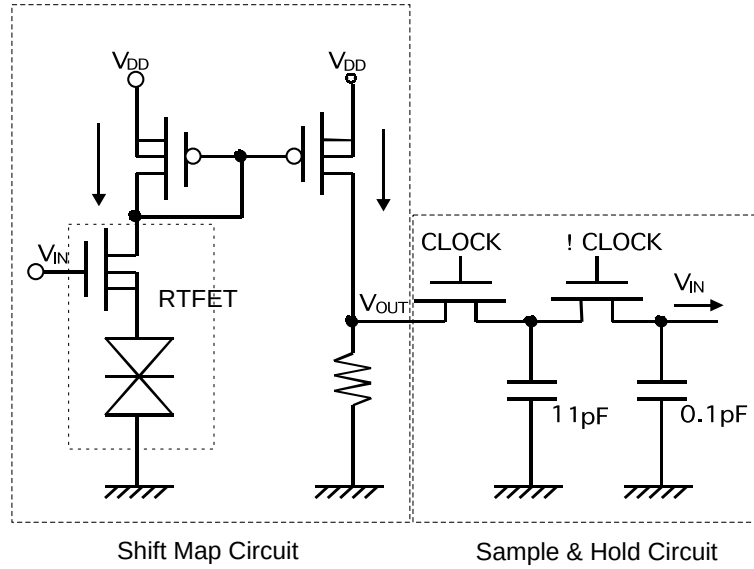


図 5: 共鳴トンネル素子を用いたシフトマップカオス生成回路

ルアンドホールド回路によってフィードバックさせることにより写像を繰り返すというものである。写像回路の入力を電圧にするため、FETと組み合わせることによりRTDの3端子化を行っている。この組み合わせはRTHEMT[6]と呼ばれるものと同様で、負性相互コンダクタンスを示す。また、その出力電流を電圧に変換するためにカレントミラー回路と抵抗の組み合わせを用いた。カレントミラーを用いたのは直接負荷抵抗を付けた場合に生じるヒステリシスを除くためである。

ここで述べたような写像型のカオス生成器は、スタティック動作が可能で、広い周波数範囲で動作する利点がある。(前節で述べた強制振動 van der Pol型カオス生成器は系の固有周波数に支配されるため、低周波では動作しない。)しかし、最高動作周波数が強制振動 van der Pol型より低いことと回路がやや複雑化するのが難点である。本研究ではCMOSによる共鳴トンネル素子のエミュレーション回路を提案し、これを用いたCMOS LSIにより本提案の有効性を調べた。

3.4 強制振動 van der Pol型カオス生成器とその超高速動作

本節では超高周波動作に適した強制振動 van der Pol型カオス生成器に関し、数値シミュレーションによる特性検討、個別素子による動作実証、およびモノリシックマイクロ波IC(MMIC)試作による高周波動作測定の結果について述べる。

3.4.1 数値シミュレーション

図2に示す回路の微分方程式は、

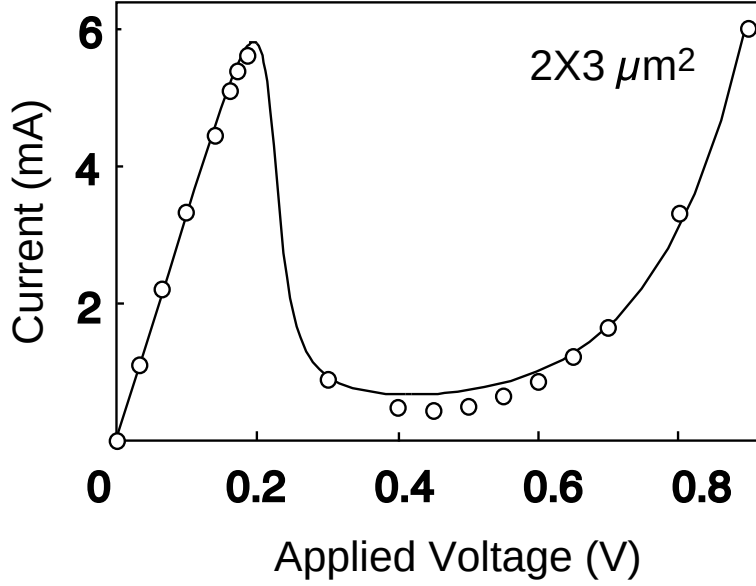


図 6: シミュレーションに用いた RTD の $I - V$ 特性

$$\frac{dI_L(t)}{dt} = \frac{V_{in}(t) - V_{out}(t)}{L}, \quad (5)$$

$$\frac{dV_{out}(t)}{dt} = \frac{i_L(t) - I_{RTD}(t)}{C_{out}}, \quad (6)$$

$$V_{in}(t) = V_0 + A \sin(2\pi ft) \quad (7)$$

で表わされる。ここで、RTD の等価回路として、電圧制御型電流源 I_{RTD} とコレクタ空乏層容量 C_{RTD} を並列接続したモデルを用いた。 I_{RTD} の電流－電圧特性を図 6 に示す。 I_{RTD} には Schulman のモデル [7] を使い、実際のデバイスの特性（図中白丸）にフィッティングした。また、 C_{tot} は C と C_{RTD} の和である。

入力信号の周波数 f 及びバイアス V_0 をパラメータとして応答パターンの変化を調べ、その結果を図 7 の 2 次元動作マップに示す。図は、 (f, V_0) の各パラメータに対し、応答パターンをプロットしたものであり、カオス領域を黒で、分周領域を灰色で示した。ここで、 $A = 0.5\text{V}$, $L = 0.4\text{nH}$, $C_{tot}(= C_{RTD} + C_{out}) = 20\text{fF}$, $f_{LC} = 56\text{GHz}$ である。図より、周波数 f の変化に伴い出力パターンが $1/2$ 分周、カオス、 $1/3$ 分周、 $\cdot$ と変化していくことがわかる。従って、この回路は一種のダイナミック分周器と考えられるが、この場合周波数マージンが重要となる。例えば、 $1/2$ 分周状態では $V_0 = 0.4\text{V}$ で周波数幅が約 30GHz あり、入力周波数 80GHz に対し $\pm 20\%$ 程度の周波数マージンがある。これは現在報告されている SCFL (source coupled FET logic) を用いたダイナミック分周器と同程度であり [8]、十分大きい。

次に、バイアスと振幅をパラメータとして応答パターンを調べた。図 8 に $(V_0, 2A)$ の動作マップを示す。入力周波数は $f = 80\text{GHz}$ と固定した。図より、分周器は大き

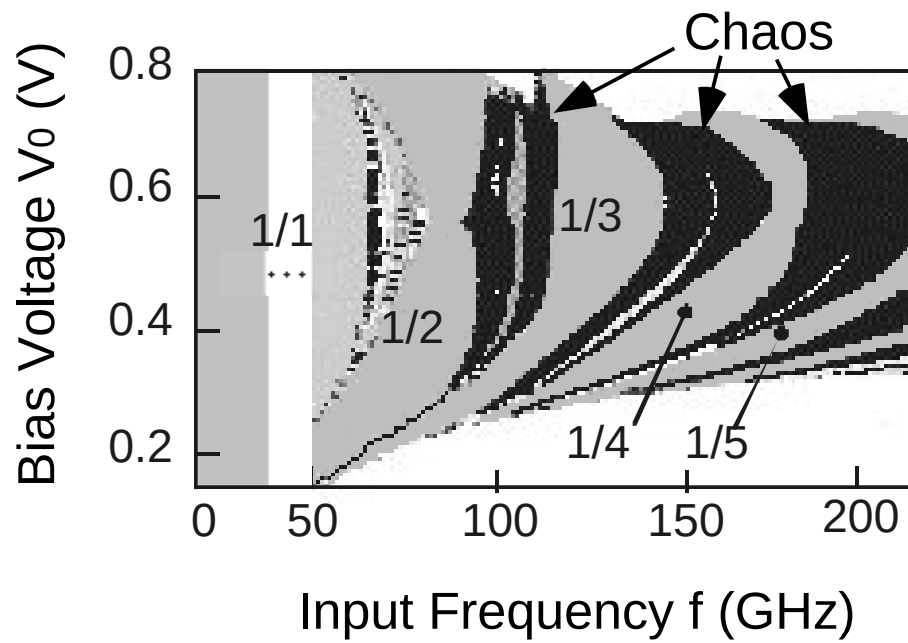


図 7: 周波数とバイアス電圧による 2 次元動作マップ

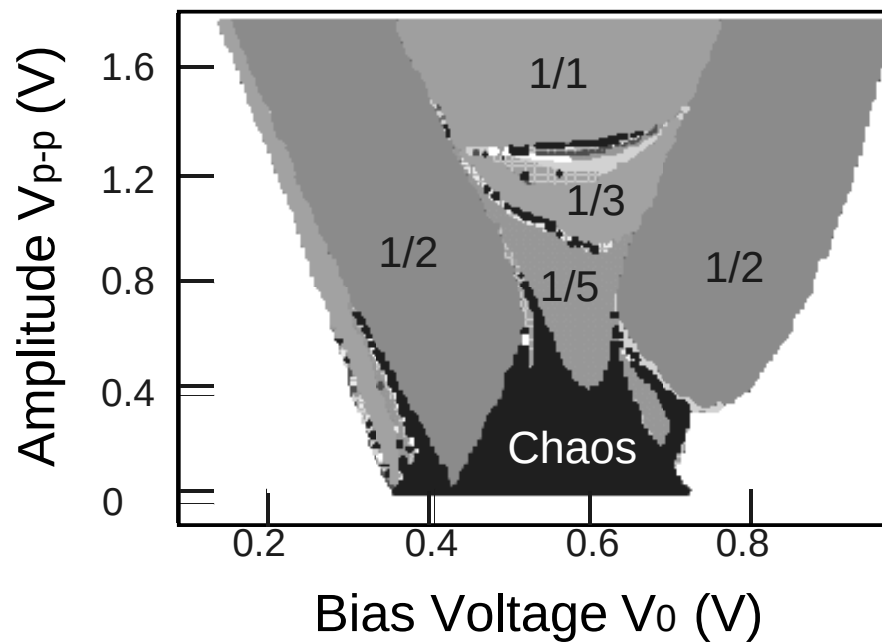


図 8: 振幅とバイアス電圧による 2 次元動作マップ

なバイアス及び振幅マージンを持つことがわかる。例えば ($V_0 = 0.4\text{V}$, $2A = 0.8\text{V}$) の点では、 $V_0 = 0.3 \sim 0.5\text{V}$, $2A = 0.2 \sim 1.6\text{V}$ の広い範囲で $1/2$ 分周出力が得られている。さらに、図は V_0 と A の選択によって $1/2$, $1/3$, $1/5$ 分周信号の出力が可能であることを示している。つまり本回路は、入力周波数を固定しても、振幅やバイアスを選択することにより様々な分周比の信号を出力できる可変分周器として動作する。

なお、一般に、カオスを生じるような非線形系では、その応答が僅かな外部ノイズによって乱されることが懸念される。つまり、カオス回路を分周器として用いる場合、入力信号の僅かな歪みはその動作に重大な影響を及ぼす可能性がある。そこで、我々は、波形歪みと分周動作との相関についても検討した。その結果、方形波、三角波といった高調波を含む入力信号に対しても本分周器は安定して動作することを確認した。図 9 は正弦波、方形波、三角波に対し、正しく $1/2$ 分周動作を行うことを示した例である。これらの結果より、本カオス回路を用いた分周器は安定して動作すること、分周比を可変にできること、回路が非常に簡単なため低消費電力、高速動作が望めることから、有望な application の一つであることが明らかになった。

3.4.2 個別素子による動作実証

上記シミュレーション結果を確認するために、まず、個別素子で本回路を試作し基本動作の確認を行った。なお、測定が容易な低周波で実験を行うために、 $L = 1.0\text{mH}$ 、 $C = 0.1\mu\text{F}$ とし、 $f_{LC} = 16.0\text{kHz}$ とした。RTD には InP 基板に格子整合した InGaAs RTD を用いた。その電流-電圧特性は図 6 中にプロットされている。図 10 に (a) $f = 31\text{kHz}$ 、及び (b) $f = 36\text{kHz}$ の場合の入出力波形をそれぞれ示す。(a) では、出力は入力 $1/2$ 分周波形、(b) ではカオス波形が得られ、提案した回路の基本的な動作が確認できる。

3.4.3 MMIC 試作と高周波測定結果（第 1 回試作）

本回路のもっとも大きな特長は共鳴トンネル素子の高速性を活かした超高周波動作にある。しかし、超高周波動作を実証することは、前節で述べた個別素子では様々な寄生成分のため不可能であり、集積化が不可欠である。我々は、高性能が期待できる InP 基板を用い、これを試みた。図 11 に我々の試作したカオス集積回路の回路図を示す。基本回路である図 2 との違いは出力バッファを設けたこと、および、入力のインピーダンス整合を図るために抵抗を設けたことである。出力端子に接続する測定系の影響をさけるためには出力バッファの集積化が必要である。ここでは最も簡単なオープンドレイン型の出力バッファを HEMT を用いて形成した。このため、コア回路からは HEMT の容量のみが見え、測定系の影響を除くことができる。なお、本回路のカオス回路中の容量 C には HEMT のゲート容

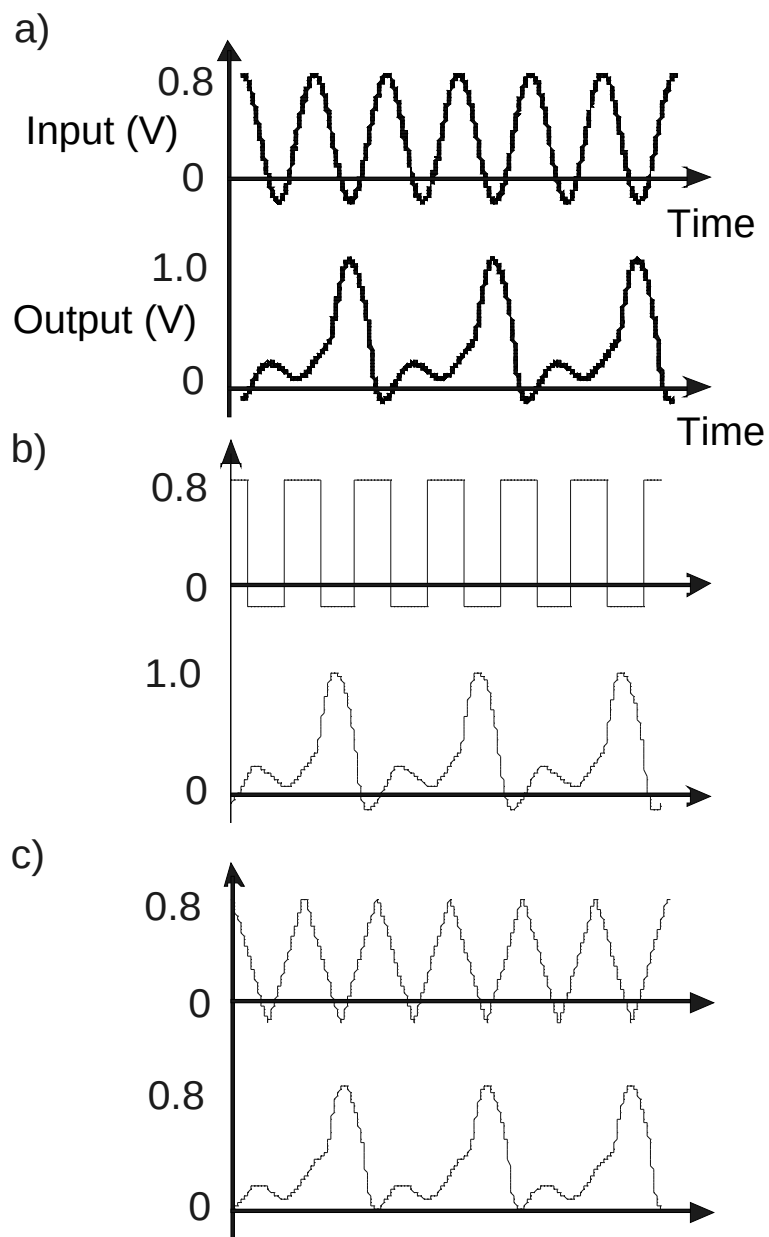


図 9: 分周動作に与える波形歪みの影響

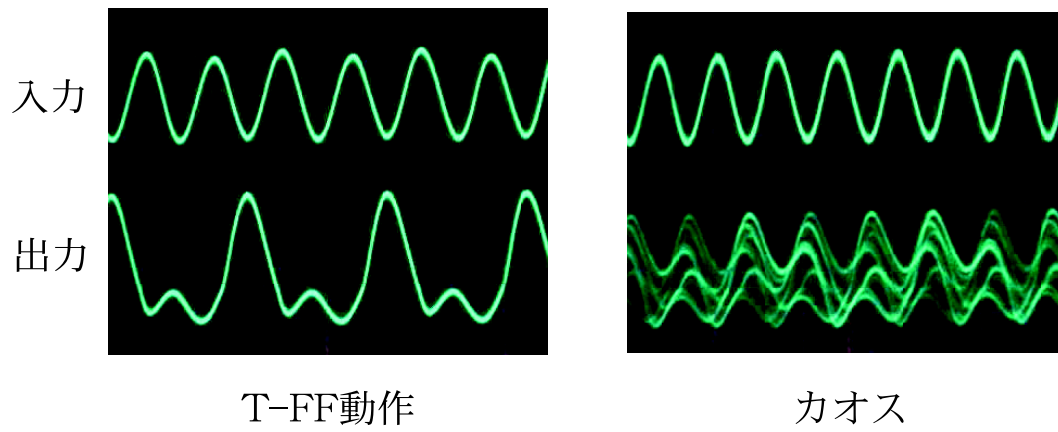


図 10: 個別素子による動作実証結果

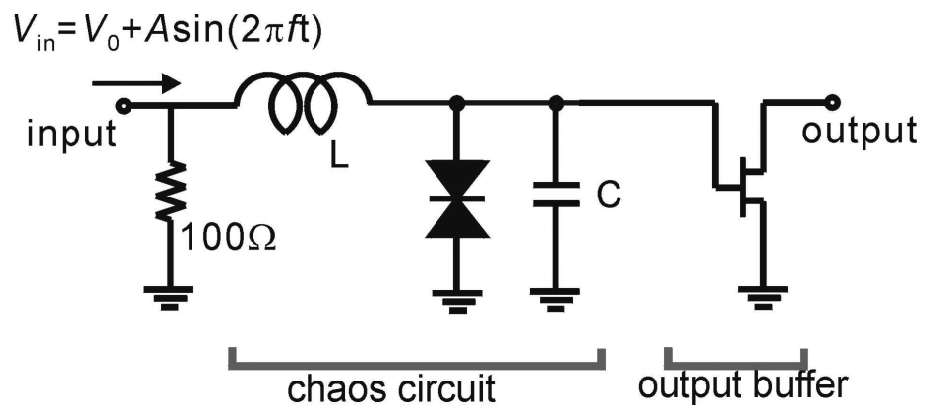


図 11: 高周波特性測定用集積回路

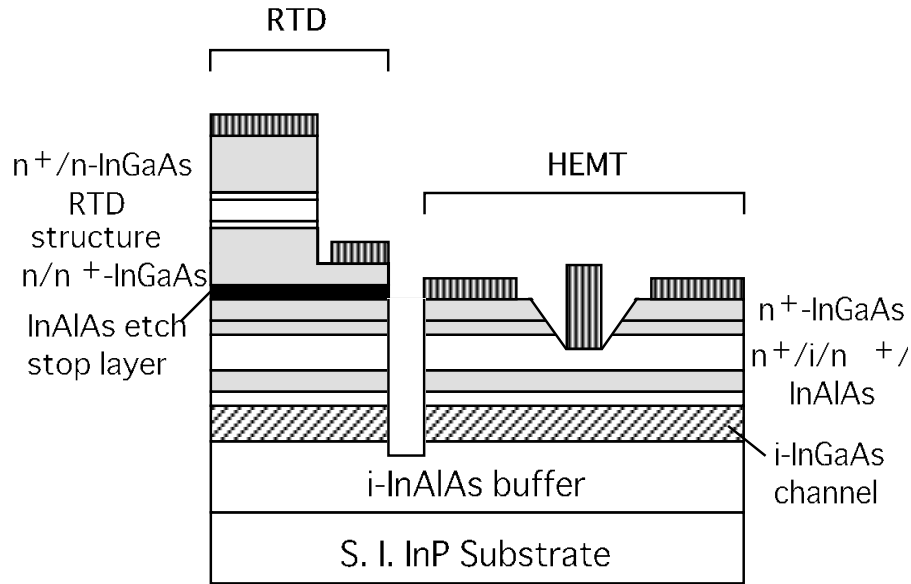


図 12: InP 基板上 RTD/HEMT 集積回路の断面構造図

量を加える必要がある。また、入力端に設けた 100Ω の抵抗は合成抵抗の平均値が 50Ω となるように選んだ。

図 12 に試作した集積回路の断面構造図を示す。InP 基板上にノンアロイオーミックコンタクト型の HEMT[9] を成長し、その上に AlAs のエッチストッパーを挟んで RTD 構造を成長した。AlAs エッチストッパー層の厚さは 2 nm であるが、クエン酸系のエッチング液による InGaAs とのエッチレート比は 100 以上あり、十分にエッチストッパーとして働く。HEMT を均一性よく作製するためにはこのエッチストッパー層は不可欠である。また、RTD としては AlAs バリア層と InAs サブウェル層を用いた歪み RTD 構造を用いた。AlAs の大きなバリア高さはピーク／バレー比の改善に有効であり、また、InAs サブウェル層による基底準位の低下は原点付近の高抵抗領域を抑制し、消費電力低減に有効である。また、InAs サブウェル層は基底準位と第一励起準位のエネルギー差を広げるため、ピーク／バレー比の改善にも効果がある。

作製プロセスはコンタクトフォトリソグラフィとウェットエッチング、リフトオフを用いた標準的なものである。しかし、RTD の面積が数 μm^2 と小さいため、図 13 に示すようなハードベイクしたレジスト層をスペーサ層とし、ドライエッチングによりエミッタの頭出しを行う新しいプロセスを開発した。

図 14 に作製した RTD の電流-電圧特性をそのバンド構造とともに示す。バリア厚さ、トータルの井戸層厚、InAs サブウェルの厚さはそれぞれ 1.7 nm 、 5.2 nm 、 2.8 nm である。ここで測定は結晶表面側電極を接地して行った。逆方向特性の方がピーク電流密度、ピーク／バレー比ともに良好であるため、実験ではこちら側の特性を使えるようにバイアスした。このとき、RTD のピーク電圧、ピーク電流

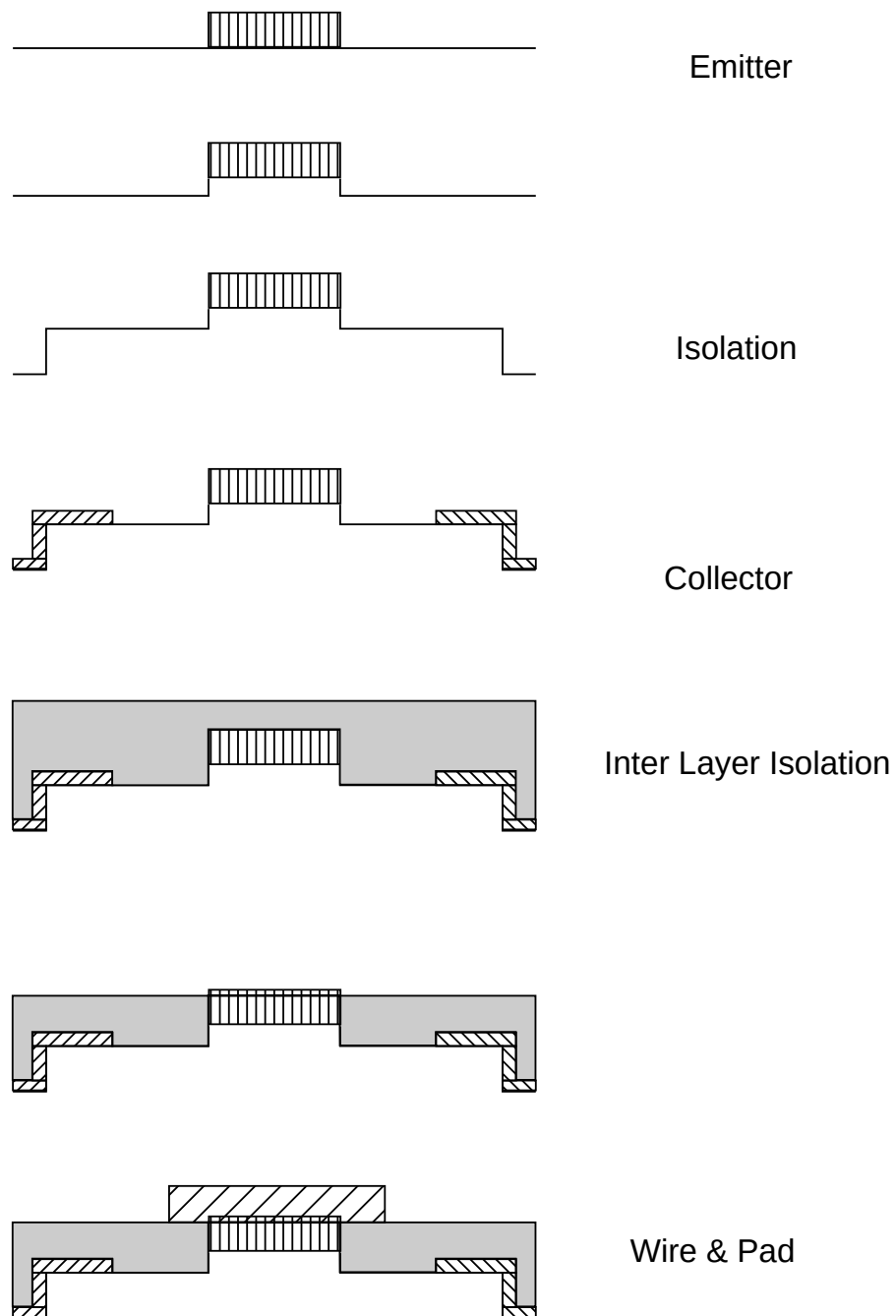


図 13: エミッタ頭出しによる共鳴トンネルダイオード作製工程

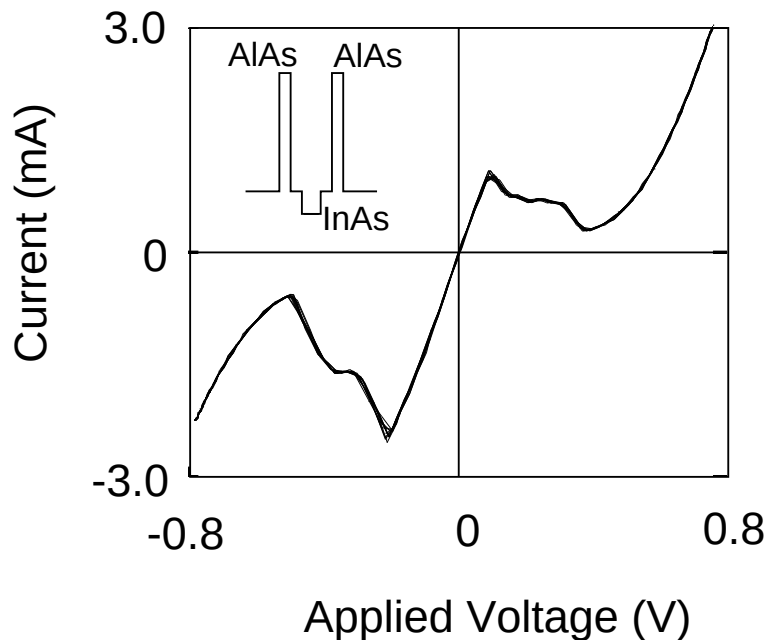


図 14: 作製した共鳴トンネルダイオードの電流-電圧特性

密度、ピーク／バレー比は、それぞれ、 -0.25V , $4.5 \times 10^4 \text{A}/\text{cm}^2$, 5 であった。

図 15 は本研究において最初に試作した共鳴トンネルカオス MMIC のチップ写真である。ここで、インダクタンス、キャパシタンスの値はそれぞれ、 $L = 5.9\text{nH}$, $C = 0.48\text{pF}$ であり、これから計算される特性周波数 f_{LC} は約 3.0GHz である。また、ここでは出力バッファとして、ゲート長 $1.5\mu\text{m}$ 、ゲート幅 $50\mu\text{m}$ と比較的大きな HEMT を用いたため、キャパシタンスは HEMT のゲート容量のみで構成されている。なお、チップサイズは $420 \times 530\mu\text{m}^2$ である。

作製した IC はマイクロ波用プローブを用いて on wafer で測定した。入出力のバイアスにはバイアスティを用い DC 電源を接続した。図 16、図 17 にサンプリングオシロスコープによる波形観測結果の例を示す。図 16 でははっきりとした $1/2$ 分周動作が確認できる。また、カオス状態では様々な波形がサンプリングにより重なりあうため、全体に広がった出力が観測された。

図 18 に入力周波数および入力パワーに対する出力周期の依存性を示す。系の出力周期は基本周期、2 倍、3 倍と変化し、その間にカオス領域が存在する。この結果はシミュレーションから予想された period adding bifurcation と良く一致する。しかし、シミュレーションでは存在した 3 倍以上の大きな周期は観測できなかった。これはシミュレーションで無視していた寄生成分、特にインダクタの抵抗性分によると考えられる。実際、図 15 のインダクタはその値が 5.9nH と大きいいため、全長が長く、その抵抗は 50Ω 程度とかなり大きい。より高周波動作を目指すためには寄生成分の低減が必要である。

一方、この回路をダイナミック分周器として用いるためにはその動作マージン

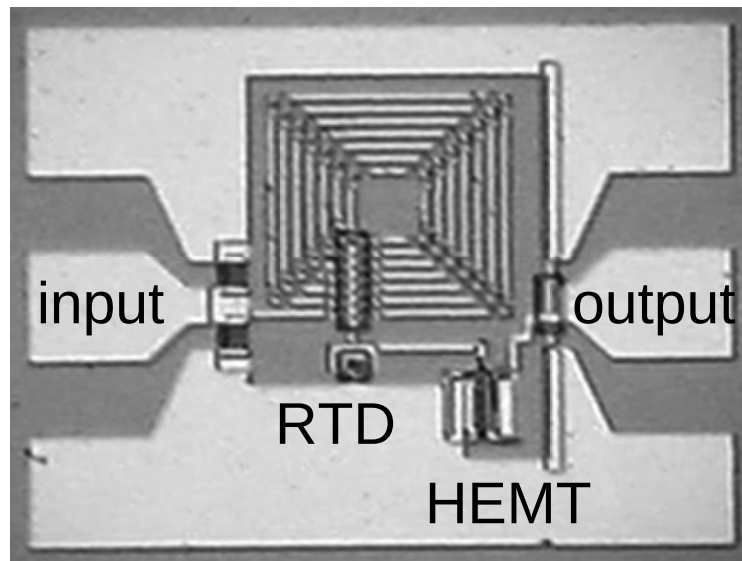


図 15: 作製した共鳴トンネルカオス集積回路のチップ写真（第 1 回試作）

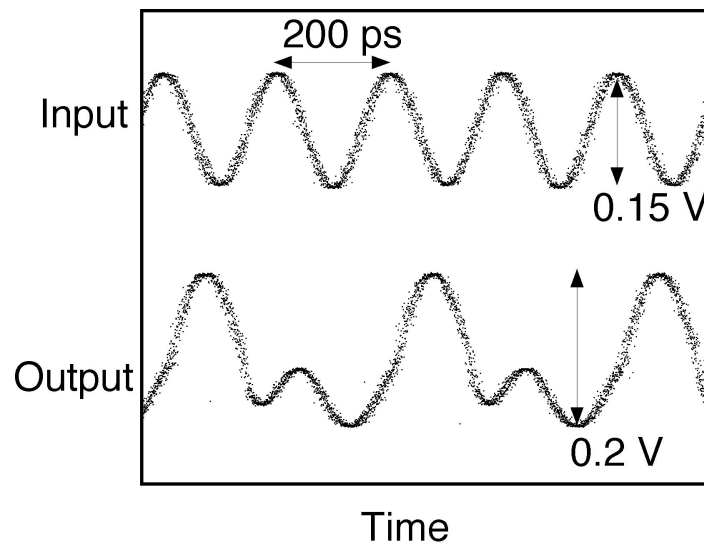


図 16: 入出力特性 at 5 GHz（1/2 分周波形）

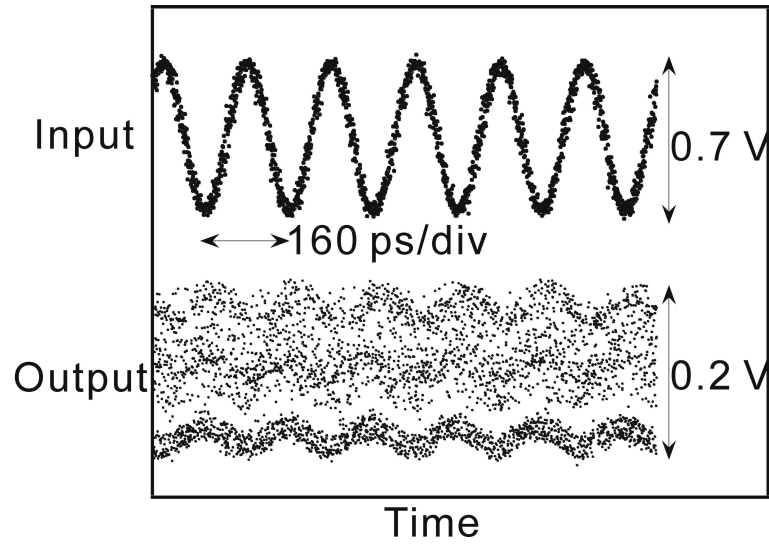


図 17: 入出力特性 at 6 GHz (カオス波形)

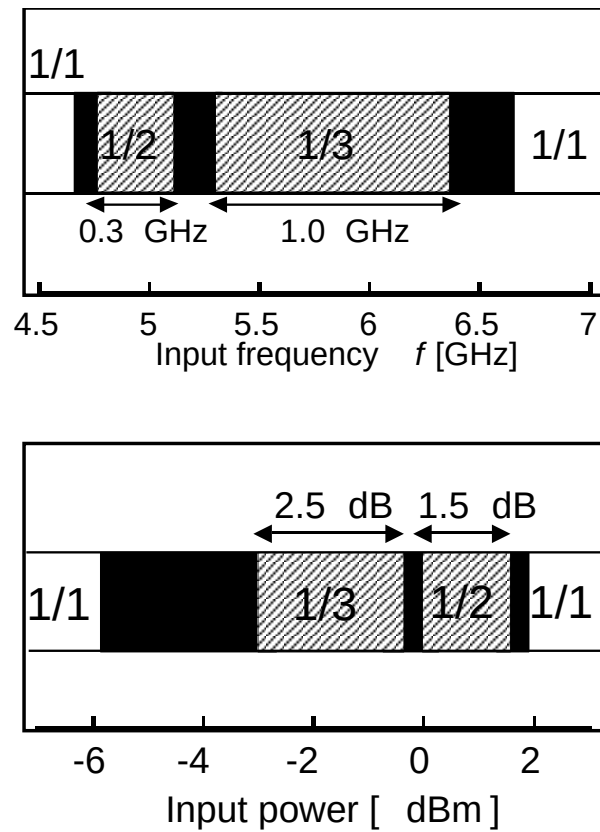


図 18: 動作マップ (上図: バイアス電圧 -0.4 V、入力パワー 1.0 dBm、下図: バイアス電圧 -0.4 V、入力周波数 5 GHz)

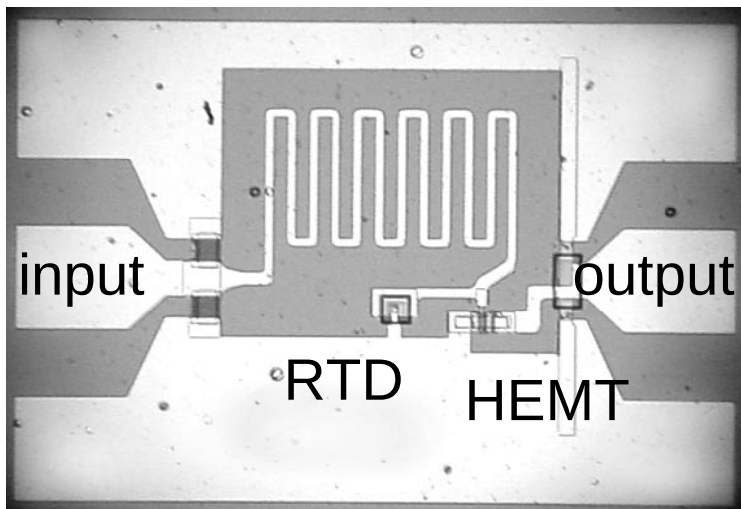


図 19: 第 2 回試作のチップ写真

が重要である。図 18 をみると、1/2 分周に対して 0.3 GHz、1/3 分周に対して 1.0 GHz の大きな周波数マージンがある。また、入力パワーに対してもそれぞれ 1.5 dB、2.5 dB の動作マージンがあることが図から読み取れる。なお、ここにはのせなかったが、バイアス電圧に対しても 0.1 から 0.15 V 程度の動作マージンがあり、本回路はダイナミック分周器として十分実用的であると考えられる。

3.4.4 MMIC 試作と高周波測定結果（第 2 回試作）

前節で述べた試作により、シミュレーションから予想された結果は概ね確認できたが、新たな問題も明らかになった。一つはインダクタの寄生抵抗の問題であり、もう一つは出力バッファの HEMT のゲート容量の問題である。前回の試作では、HEMT のゲート容量が大きいため、回路の特性周波数を大きくすることが困難であった。これらの問題のため、第 1 回試作の最高動作周波数は 12 GHz に留まった。

そこでこれらの問題点をふまえて、新たに回路、マスク設計を行い、第 2 回の試作を行った。ここでは出力バッファの HEMT のゲート長を $1.2\mu\text{m}$ と短縮すると共にゲート幅を $10\mu\text{m}$ と小さくし、系の容量を低減した。これにより、出力振幅は小さくなるが、測定は可能である。これによる容量の低減とともにインダクタの値を小さくし、系の特性周波数 f_{LC} を 19 GHz と前回よりかなり大きく設計した。また、これにより、インダクタの全長も短く出来、寄生抵抗も低減できる。なお、精度よく小さいインダクタを作製するため、インダクタをスパイラルタイプからメアンダタイプに変更した。

図 19 に試作した MMIC のチップ写真を示す。回路パラメータは $L = 0.8\text{nH}$, $C = 80\text{fF}$ である（ここで容量は HEMT のゲート容量）。測定は前節と同様にマイクロ

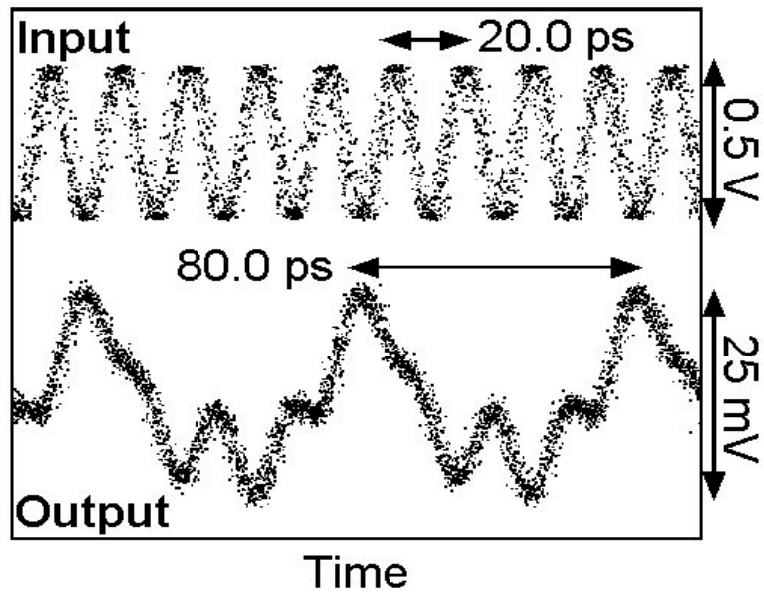


図 20: 50 GHz における 1/4 分周波形

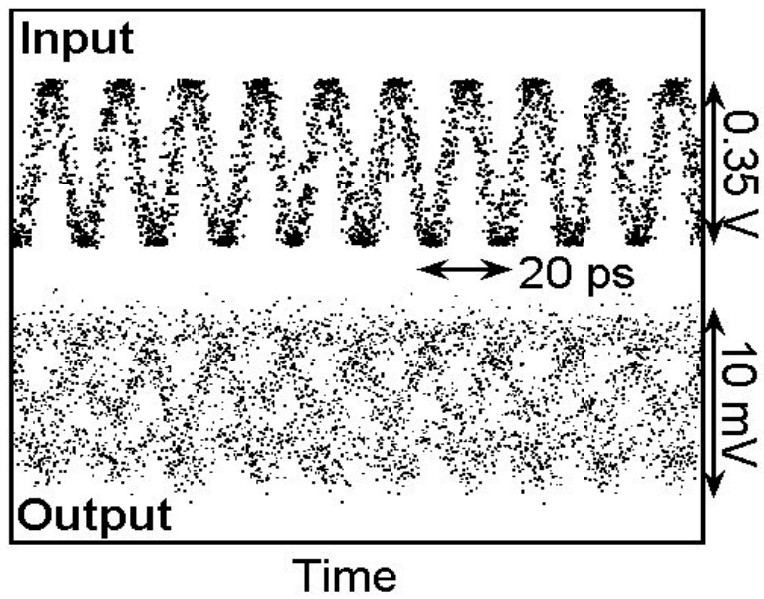


図 21: 50 GHz におけるカオス波形

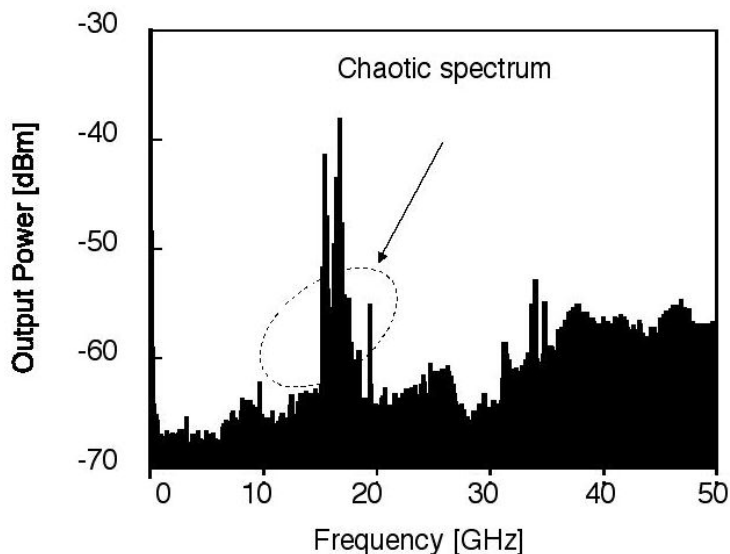


図 22: 50 GHz 入力におけるカオス状態のスペクトル

波プローブを用いて on wafer で行った。図 20 は測定結果の例である。入力周波数 50 GHz に対してははっきりとした $1/4$ 分周動作が得られている。また、図 21 は同じく 50 GHz におけるカオス信号出力の例である。ここでもカオス信号は周期性を持たず、様々な波形成分が含まれているため、全体にサンプル点が広がっている。また、明瞭な $1/2$ 、 $1/3$ 分周波形も観測された。周波数を固定しても、適当なバイアス電圧や入力パワー選ぶことにより、これらの動作は自由に選択することができた。この点は応用上重要である。

さて、図 17 や図 21 をカオス波形であると述べてきたが、サンプリングオシロスコプの波形からだけではカオスであると判断することはできない。最も良いカオスの判定法はリアプノフ指数を調べることであるが、このためにはかなり長周期に渡って実際の波形を知る必要がある。しかし、本研究のような高周波では波形の観測はサンプリングオシロスコプに頼らざるを得ず、実波形を観測することは困難である。ここではスペクトル分析により、カオスである可能性を調べた。図 22 は図 21 に対応するスペクトルである。カオスに特徴的な幅広いスペクトルが得られている。

3.5 シフトマップ型カオス生成器の検討

先に述べたようにシフトマップ型カオス生成器については RTD のエミュレーション回路を利用して Si-LSI により、その特性を調べた。これは化合物半導体による超高速カオス生成器のエミュレーションであるだけでなく、将来的に Si 負性抵抗素子や化合物半導体の Si 上への集積化技術の実現を期待し、負性抵抗素子に

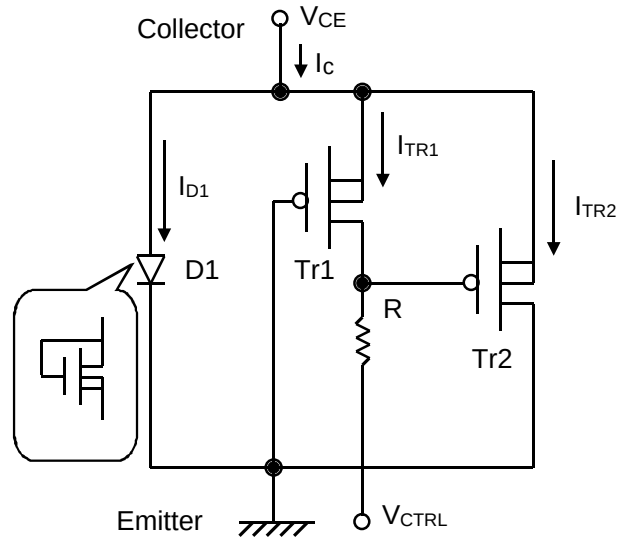


図 23: CMOS により構成した RTD のエミュレーション回路

よる回路の簡略化、高速化、低消費電力化の指針を示すことも目的としている。

図 23 に CMOS により構成した RTD のエミュレーション回路を、図 24 にその電流-電圧特性を回路シミュレーションにより求めた結果を示す。この回路の動作原理を簡単に説明すると以下ようになる。

1. コレクタ電圧が 1 V より小さい時、Tr1 は OFF であるため、Tr2 のゲートには V_{CTRL} がかかり、ON となり、電流が流れる。
2. コレクタ電圧が 1 V をこえると、Tr1 が ON となり、これによって、Tr2 のゲート電圧が正側に変化し、Tr2 のドレイン電流が急激に減少する。Tr1 のゲート幅は Tr2 より十分小さいため、トータルのコレクタ電流も減少する。(負性抵抗領域)
3. ダイオード接続のトランジスタ D1 により徐々に電流が増加する。

以上の原理により、共鳴トンネルダイオードに類似した電流-電圧特性が得られる。ここで、重要な点は V_{CTRL} によりピーク電流を変化させることができる点である。図 24 にはその依存性もあわせて示してある。この回路により、CMOS LSI に RTD を集積した回路のエミュレーションを行うことが可能になった。これは現在では困難な RTD を用いた大規模集積回路について検討を行うための基盤ともなりうる。

さて、RTD は 2 端子素子であるため、入出力分離ができない。これを可能にするため、FET との接続を考えた。ここでは、入出力特性に負性相互コンダクタンスを導入するため、RTHEMT と同様に、nMOS のソース部分に上記の RTD エミュレーション回路を組み込むこととした。この場合、非線形なソース抵抗によるフィードバックによってシフトマップ写像に類似した図 25 に示すような入出力特性が得

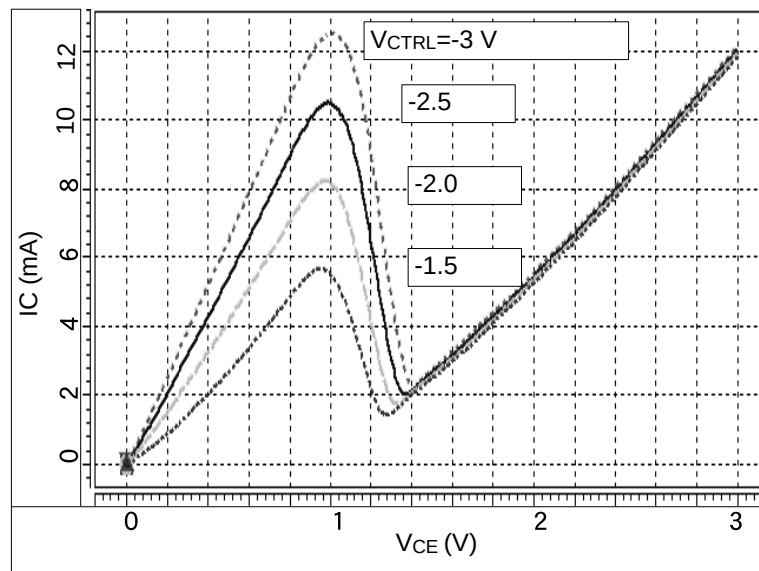


図 24: CMOS により構成した RTD のエミュレーション回路の電流-電圧特性

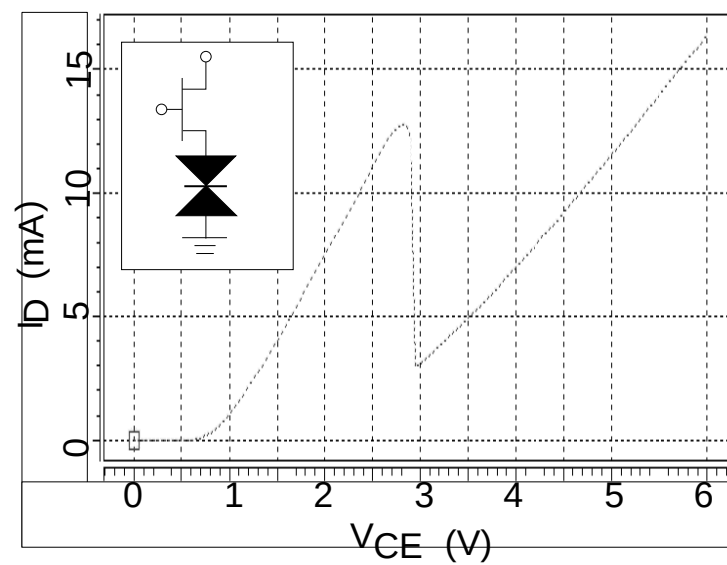


図 25: CMOS と RTD エミュレーション回路による負性相互コンダクタンス素子の電流-電圧特性

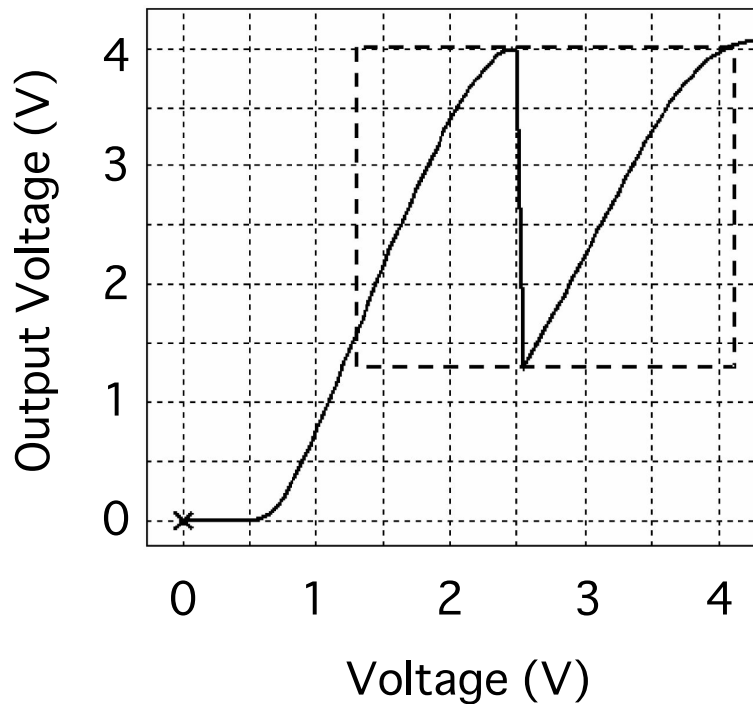


図 26: シフトマップ写像回路の入出力特性

られる。なお、この際、無用なヒステリシスを除くため、FET のゲート幅は十分大きくする必要がある [6]。

つぎに入出力を電圧にするためカレントミラーと抵抗負荷により出力電流を電圧に変換した。ここで単に抵抗負荷としなかった理由はヒステリシスをさけるためである。これに Sample & Hold 回路を設け、クロックに従って、出力を入力にフィードバックすることにより、シフトマップ型カオス生成器を構成できる。全体の回路図は既に図 5 に示した。図 26 にシフトマップ写像回路の入出力特性のシミュレーション結果を示す。図から分かるように 1.2 から 4 V の範囲で入出力整合のとれたシフトマップ写像が実現されている。

回路は VDEC(VLSI Design and Education Center) の ROHM $0.6\mu\text{m}$ プロセスにより試作した。作製されたシフトマップ写像回路の入出力特性を図 27 に示す。白線で囲った領域で入出力の整合のとれたシフトマップ写像が実現されていることが分かる。ただし、Sample & Hold 回路に問題があったため、on chip でのカオス生成実験は不可能であった。そこで、外付けの Sample & Hold 回路を作製し、カオス生成実験を行った結果を図 28 に示す。この出力に対し、リアプノフ指数を計算したところ、正の値を示し、出力が実際にカオスであることが確認できた。

以上、本節では共鳴トンネル素子の電流-電圧特性を直接利用したシフトマップ写像カオス生成回路を CMOS エミュレーションにより検討した結果について述べた。本回路はスタティックな動作が可能なこと、Si CMOS や Si 負性抵抗素子を用

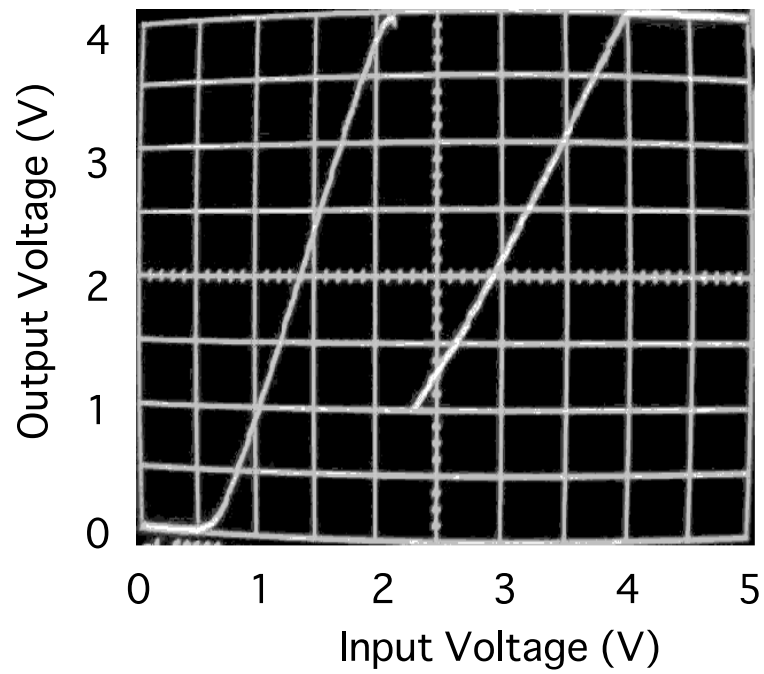


図 27: 試作したシフトマップ写像回路の入出力特性

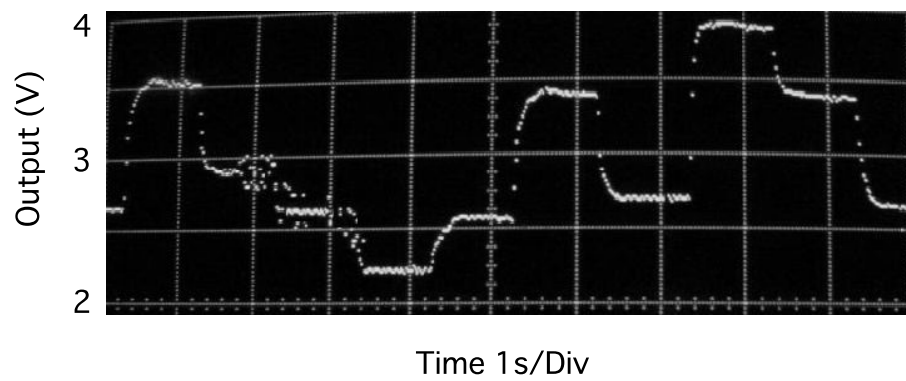


図 28: シフトマップ写像回路の出力波形

いたインプリメンテーションが容易なこと、回路が比較的シンプルなことから、カオスニューラルネットワークなど、多くのカオス生成回路が必要な大規模回路に適していると思われる。

4 まとめと今後の課題

本研究は、量子効果素子の一種である共鳴トンネル素子の強い非線形性を利用し、超高周波でかつ制御可能なカオス生成器を実現するとともに、それを用いた新しい信号生成・処理技術の確立を目指したものである。具体的には共鳴トンネル素子の負性抵抗特性を利用した強制振動 van der Pol型カオス生成器と共鳴トンネル素子の電流-電圧特性をそのまま写像として利用したシフトマップ型カオス生成器の2つのカオス生成回路を提案し、その可能性を調べた。

強制振動 van der Pol型カオス生成器は共鳴トンネルダイオードとインダクタ、キャパシタからなる非常に簡単な回路であるが、入力周波数、振幅、バイアス電圧に応じて様々な信号を出力する。まず、これについてシミュレーションによって基本動作を確認し、また、分岐現象を用いて周波数分周器が実現可能なことを見出した。本回路の特長は回路のシンプル性に起因する低消費電力と超高周波動作にある。この超高周波動作を実証するため、InP基板上RTD/HEMT集積化技術を検討し、モノリシックマイクロ波IC(MMIC)を試作した。その結果、最大50 GHzという超高周波において分周動作、カオス出力動作を確認した。この周波数は測定系と、出力バッファの帯域により律速されており、共鳴トンネル素子の高速性を考えれば、数百GHzという超高速動作が期待できる。

また、シフトマップ写像型カオス生成器に関してはCMOSによる共鳴トンネル素子のエミュレーション回路を考案し、これを用いてその基本動作を実証した。この回路はスタティックな動作が可能で、Si CMOSやSi負性抵抗素子を用いたインプリメンテーションが容易で、回路が比較的シンプルなこと、カオスニューラルネットワークなど、多くのカオス生成回路が必要な大規模回路に適していると思われる。

今後の課題としては、まず、共鳴トンネル素子の特長である高速性を活かし、他の方法では実現不可能な超高周波、100 GHz以上の周波数におけるカオス生成、分周動作を実証することがあげられる。このため、出力バッファを含めた回路の最適化の検討とともに、測定手法の検討も必要である。次に、超高速カオスの実証も必要である。この周波数帯では波形観測はサンプリングオシロスコープに頼らざるを得ないため、カオスの実波形の観測は困難であり、リアプノフ指数などカオスの特徴付ける物理量を決定することはできなかった。これはカオスを応用しようとする場合、大きな問題である。我々は現在、これを解決するための新しい手法としてIC中に直接信号観察用の回路をインプリメントすることを検討している。この方法は波形観測だけでなく、カオス制御にも有効であり、超高周波カオスの応用に向けての大きなステップとなると思われる。このように、超高周波カオスの生成とその応用に関する研究はようやく緒についたところと言え、今後大きな進展が期待される。

参考文献

- [1] 合原一幸編「カオス」 サイエンス社 (1999).
- [2] 合原一幸編「応用カオス」 サイエンス社 (2000).
- [3] T. C. L. G. Sollner, E. R. Brown, W. D. Goodhue, and H. Q. Le, Microwave and millimeter-wave resonant tunneling devices, In F. Capasso (ed.), Physics of Quantum Electron Devices, Berlin: Springer-Verlag, 1990.
- [4] E. R. Brown, J. R. Söderström, C. D. Parker, L. J. Mahoney, K. M. Molvar, and T. C. McGill, Oscillations up to 712 GHz in InAs/AlSb resonant-tunneling diodes, Appl. Phys. Lett., vol. 58, pp. 2291-2293, 1991.
- [5] ChuaCircuit
- [6] H. Fukuyama, K. Maezawa, M. Yamamoto, H. Okazaki, and M. Muraguchi, "Large-Signal Microwave Characteristics of Resonant Tunneling High Electron Mobility Transistors," IEEE Trans. Electron Devices, vol. 46, pp. 281-287, 1999.
- [7] J. N. Schulman, H. J. De Los Santos, and D. H. Chow, "Physics-Based RTD Current-Voltage Equation," IEEE Electron Device Lett. EDL-17, pp. 220-222, 1996.
- [8] Y. Umeda, K. Osafune, T. Enoki, H. Yokoyama, Y. Ishii, and Y. Imamura, IEEE Trans. Microw. Theory Tech., vol. 46, p. 1209, 1998.
- [9] T. Enoki, T. Kobayashi, and Y. Ishii, "Device Technologies for InP-based HEMTs and Their application to ICs," Tech. Dig. IEEE GaAs IC Symposium, 1994, pp. 337-340.

発表論文抄録